

PUB-NO: JP363262062A
DOCUMENT-IDENTIFIER: JP 63262062 A
TITLE: MAIN CIRCUIT OF INVERTER

PUBN-DATE: October 28, 1988

INVENTOR-INFORMATION:

NAME	COUNTRY
OKUBO, ATSUSHI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJI ELECTRIC CO LTD	

APPL-NO: JP62094570

APPL-DATE: April 17, 1987

INT-CL (IPC): H02M 7/48

ABSTRACT:

PURPOSE: To reduce a cost by forming only a semiconductor switching element for either one arm of upper and lower arms of an inverter bridge in a high speed switching type and the other in a low speed switching type.

CONSTITUTION: An inverter main circuit uses two sets of switching elements FET1~FET3, BPT1~BPT3 for forming upper and lower arms at the phases of the main circuit bridge, and is composed of a series circuit of it with an inverter load 3. A short period signal is applied to either one of the elements FET1~FET3, BPT1~BPT3, and a long period signal is applied to the other to obtain a predetermined pulse train. In this case, as two sets of the elements, MOS type high speed switching type transistors FET1~FET3 are corresponded to bipolar low speed switching type transistors BPT1~BPT3, the short signal is applied to a high speed side, and the long signal is applied to a low speed signal. Thus, a high speed switching type inverter is obtained.

COPYRIGHT: (C)1988, JPO&Japio

⑫ 公開特許公報 (A) 昭63-262062

⑯ Int.Cl.⁴
H 02 M 7/48識別記号
F-8730-5H

⑬ 公開 昭和63年(1988)10月28日

審査請求 未請求 発明の数 1 (全4頁)

④ 発明の名称 インバータの主回路

⑤ 特願 昭62-94570
⑥ 出願 昭62(1987)4月17日

⑦ 発明者 大久保温 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑧ 出願人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑨ 代理人 弁理士 山口巖

明細書

1. 発明の名称 インバータの主回路

2. 特許請求の範囲

1) 直流入力を受け該直流を任意の周波数と電圧とを有する交流に変換するインバータの半導体スイッチング素子によるブリッジ構成の主回路において、前記直流入力の正極側から前記ブリッジの上下アームを構成する2組の半導体スイッチング素子と前記インバータの負荷とから成る直列回路を経由して前記直流入力の負極側へ通電する前記交流出力の各相電流経路における前記2組の半導体スイッチング素子を、前記ブリッジの各相毎に、それぞれ前記交流出力の基準周波信号等によりスイッチングする低速スイッチング形素子とパルス巾変調用搬送波信号等によりスイッチングする高速スイッチング形素子とにより構成することを特徴とするインバータの主回路。

2) 特許請求の範囲第1項記載のインバータ主回路において、単相ブリッジ回路における2組の上下アームが、一つの組では高速スイッチング素

子を2個直列接続してなり、別の組では低速スイッチング素子を2個直列接続してなるインバータの主回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はインバータ主回路の半導体スイッチング素子の組合せ構成に関する。

〔従来の技術〕

従来のこの種のインバータ主回路としては第5図に例示するものが知られている。第5図は該主回路のブリッジを構成する直流電圧スイッチング素子として全て同一のスイッチング速度を有するトランジスタ素子を使用するものであり、1は直流電源、2は単相負荷、D₁～D₄はフリー・ホイール・ダイオード、BPT₁とBPT₂とBPT₃とBPT₄とはトランジスタであり、前記各ダイオードD₁～D₄と共に単相ブリッジ回路を構成している。

〔発明が解決しようとする問題点〕

上記の如く従来方式のインバータ主回路構成においては該主回路を構成するスイッチング素子の

スイッチング速度を全て同一のものとしているために、インバータ出力交流の周波数を高めるためには前記スイッチング素子全てのスイッチング速度の高速化を計る必要があり、現状極めて高価なものとなっていた。これに鑑み本発明は高速スイッチングが可能で且つ安価なインバータ主回路を提供することを目的とする。

〔問題点を解決するための手段〕

インバータのブリッジ構成主回路の各相スイッチング素子を高速及び低速スイッチング形素子の組合せとしそれぞれの特性に応じて異った周波数信号によるスイッチング動作を行なわせるものである。すなわち直流入力を受け該直流を任意の周波数と電圧とを有する交流に変換するインバータの半導体スイッチング素子によるブリッジ構成の主回路において、前記直流入力の正極側から前記ブリッジの上下アームを構成する2組の半導体スイッチング素子と前記インバータの負荷とから成る直列回路を経由して前記直流入力の負極側へ通電する前記交流出力の各相電流経路における前記

ルス列を得ることができる。本発明においては前記基本回路の2組のスイッチング素子として高速スイッチング形素子と低速スイッチング素子とをそれぞれ対応させ、また前記短周期信号としてはパルス巾変調用搬送波信号を対応させて前記高速スイッチング形素子に加え、更に前記長周期信号としては前記インバータ交流出力の基準周波信号を対応させて前記低速スイッチング素子に加えて所定のパルス列を得ている。

〔実施例〕

以下この発明の実施例を図面により説明する。第1図と第3図とは単相インバータに関し、第4図は三相インバータに関しそれぞれこの発明の実施例を示す回路図、第2図は第1図に示す回路の動作波形図である。なお第1図と第3図と第4図においては第5図に示す従来技術の実施例の場合と同一機能の構成要素に対しては同一の表示符号を附している。第1図において、1は直流電源、2は単相負荷、D₁～D₄はフリーホイールダイオード、BPT₁とBPT₂とはバイポーラ形の如き低速

2組の半導体スイッチング素子を、前記ブリッジの各相毎に、それぞれ前記交流出力の基準周波信号等によりスイッチングする低速スイッチング素子とパルス巾変調用搬送波信号等によりスイッチングする高速スイッチング素子とにより構成することを特徴とするものである。

〔作用〕

インバータ主回路は、該主回路ブリッジ各相に關しその上下アームをなす2組のスイッチング素子とインバータ負荷との直列回路をその基本回路とする。従って該基本回路の出力は前記2組のスイッチング素子のAND演算の結果として得られる。従ってまた前記基本回路より成る周期をもつて該周期より短い周期の断続変調を受けたパルス列を出力させる場合に、該長短2種類のスイッチング信号のうちの短周期信号のみにより前記2組のスイッチング素子を同時にスイッチングさせる必要は無く、前記2組のスイッチング素子の何れか一方の素子に前記短周期信号を与え他方の素子に前記長周期信号を与えることにより所定のパ

スイッチング形トランジスタ、FET₁とFET₂とはMOS形の如き高速スイッチング形トランジスタであり、該各トランジスタは前記各ダイオードD₁～D₄と共に単相ブリッジ回路を構成している。従って前記直流電源1の正極側からその負極側へ通電する電流経路はトランジスタFET₁と単相負荷2とトランジスタBPT₁と単相負荷2とトランジスタFET₂とを経由するものとの2通りとなり、前記トランジスタFET₁とBPT₁との組合せ及びBPT₁とFET₂との組合せはそれぞれのスイッチング動作時前記単相負荷2に対する給電に関してそれぞれAND回路を構成している。第1図に示す回路が全体としてインバータ動作を行なうように該回路の各トランジスタに対しスイッチング信号をえた時の前記各トランジスタの動作波形を第2図に示す。図(a)～(d)に示すON状態とOFF状態とはそれぞれ対応するトランジスタの導通状態とし、断状態を示す。図(a)、(b)、(c)及び(d)はそれぞれ前記トランジスタFET₁、FET₂、BPT₁及び

BPT₂ の ON-OFF 動作状態を示す。従って図(1)と図(2)の組合せと図(3)と図(4)との組合せのそれぞれにおいて各組合せの共通 ON 期間においては前記直流電源 1 から前記単相負荷 2 への給電が行なわれることになり、図(5)に示す如く前記単相負荷 2 に対し出力電圧 V_o が与えられる。該出力電圧 V_o は第 1 図に示す通電経路に従って低速スイッチング素子 BPT₁、BPT₂ の低速スイッチング動作によって前記単相負荷 2 への印加電圧極性が交互に反転する交流となる。なお図(1)と図(2)とはそれぞれパルス巾変調用搬送波信号に対する高速スイッチング形トランジスタ FET₁ と FET₂ との相互にその ON-OFF 期間を反転させているスイッチング応答模様を示し、図(3)と図(4)とはそれぞれ前記インバータ交流出力の基準周波信号に対する低速スイッチング形トランジスタ BPT₁ と BPT₂ との相互にその ON-OFF 期間を反転させていいるスイッチング応答模様を示す。なおまた前記パルス巾変調用搬送波信号のパルス列の変動周期は前記インバータ交流出力の基準周波信号の周期と

記ブリッジ構成の上側或いは下側何れか一方のアーム構成用半導体スイッチング素子のみ高速スイッチング形とし他のアーム用素子は低速スイッチング形として、前記上下両アーム構成用半導体スイッチング素子に対する適当なスイッチング制御を行なうことにより、前記上下両アーム構成用半導体スイッチング素子と共に高速スイッチング形とした場合と同等の機能を有する高速スイッチング形インバータを得ることが可能となり、インバータ価格の大きな割合を占める主回路用半導体スイッチング素子の大巾な価格低下を計ることができる。

4. 図面の簡単な説明

第 1 図と第 3 図とは単相インバータに関し、第 4 図は三相インバータに関しそれぞれこの発明の実施例を示す回路図、第 2 図は第 1 図に示す回路の動作波形図、第 5 図は従来技術の実施例を示す回路図である。

1 … 直流電源、2 … 単相負荷、3 … 三相負荷、
BPT₁ ~ BPT₂ … バイポーラ形トランジスタ、

等しい。次に第 3 図は第 1 図に示す回路と同一の機能を有し従ってその動作模様も第 2 図に示す動作波形図と同一となる単相インバータの主回路を示すものであるが、第 1 図と異り前記インバータ主回路のブリッジの上側アームを成す 2 組のスイッチング素子を高速スイッチング形トランジスタ FET₁ と FET₂ とし、同じく下側アームを成す 2 組のスイッチング素子を低速スイッチング形トランジスタ BPT₁ と BPT₂ としたものであり、直流電源 1 から単相負荷 2 への給電経路においてスイッチング状態にある高速スイッチング形トランジスタと低速スイッチング形トランジスタとによる AND 回路を形成するものである。第 4 図は第 3 図に示すインバータ主回路のアーム構成を拡大させた三相インバータの主回路構成の回路図であり、その動作模様も第 2 図に示す場合を基本として同様に推定できる。

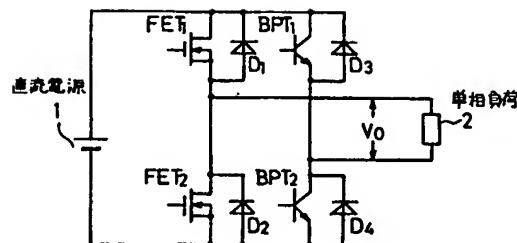
〔発明の効果〕

本発明によればインバータの半導体スイッチング素子によるブリッジ構成の主回路において、前

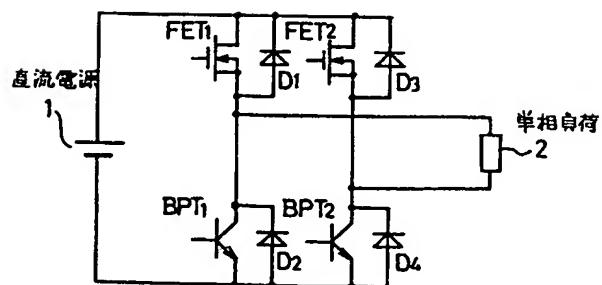
FET₁ ~ FET₂ … M08 形トランジスタ、D₁ ~ D₄ … フリーホイールダイオード。

代理人江上山口

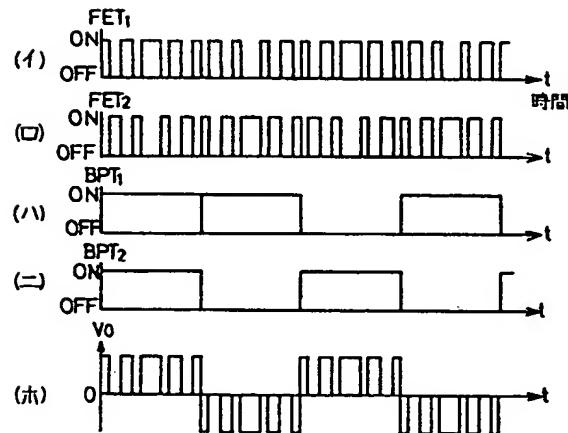




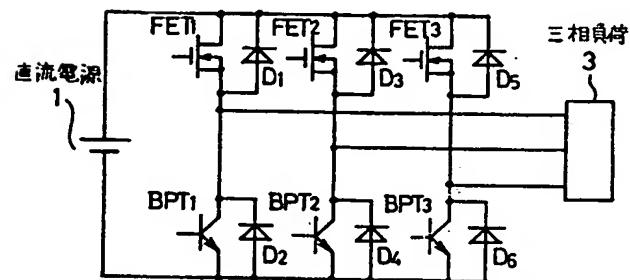
第1図



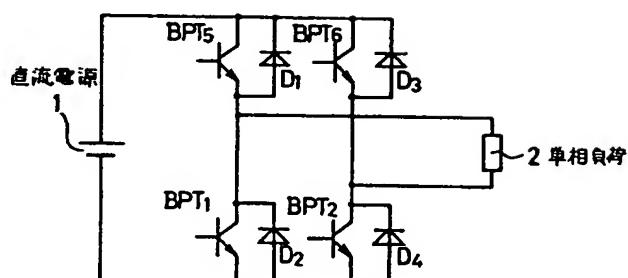
第3図



第2図



第4図



第5図